

Production of a semiconductor memory used as an FeRAM memory comprises forming a semiconductor substrate, a passivating region and/or a surface region, forming capacitor arrangements, and providing contact regions or plug regions

Patent number: DE10131626

Publication date: 2003-01-30

Inventor: KROENKE MATTHIAS (DE); BRUCHHAUS RAINER (DE); ENDERS GERHARD (DE); HARTNER WALTER (DE); MIKOLAJICK THOMAS (DE); NAGEL NICOLAS (DE); ROEHNER MICHAEL (DE)

Applicant: INFINEON TECHNOLOGIES AG (DE)

Classification:

- **International:** H01L21/8239

- **European:** H01L21/02B3C; H01L21/768B2; H01L21/768C4; H01L21/8246F6; H01L27/115F

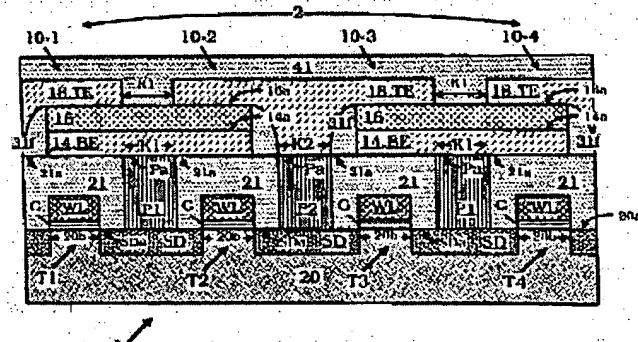
Application number: DE20011031626 20010629

Priority number(s): DE20011031626 20010629

[Report a data error here](#)

Abstract of DE10131626

Production of a semiconductor memory comprises forming a semiconductor substrate (20), a passivating region (21) and/or a surface region (20a, 21a) having a CMOS structure; forming capacitor arrangements (10-1, ..., 10-4) in the region of the substrate, passivating region and/or surface region; and providing first and second contact regions or plug regions (P1, P2) to contact with the capacitor arrangements. Preferred Features: The contact regions or plug regions are formed after forming the CMOS structure. Each capacitor arrangement has a first lower or bottom electrode device (14), a second upper or top electrode arrangement (18), and a dielectric (16) formed between the two electrode arrangements.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY



19 BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

**PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 31 626 A 1**

⑤ Int. Cl.⁷:
H 01 L 21/8239

DE 101 31 626 A 1

② Aktenzeichen: 101 31 626.7

22 Anmeldedag: 29. 6. 2001

④ Offenlegungstag: 30. 1. 2003

⑦1 Anmelder:

Infineon Technologies AG, 81669 München, DE

74 Vertreter:

Müller - Hoffmann & Partner Patentanwälte, 81667 München

⑦2 Erfinder:

Krönke, Matthias, 81827 München, DE; Bruchhaus, Rainer, Dr., 80997 München, DE; Enders, Gerhard, 82140 Olching, DE; Hartner, Walter, 81829 München, DE; Mikolajick, Thomas, Dr., 81739 München, DE; Nagel, Nicolas, Dr., 81476 München, DE; Röhner, Michael, Dr., 81739 München, DE

⑤6 Entgegenhaltungen:

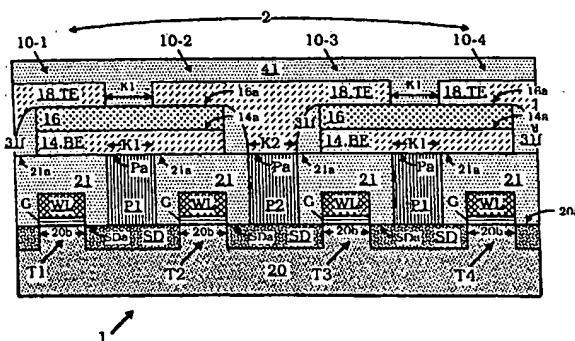
US 61 98 652 B1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zum Herstellen einer Halbleiterspeichereinrichtung

51 Zur Vereinfachung eines Herstellungsverfahrens für HalbleiterSpeichereinrichtungen (1) wird vorgeschlagen, vorzusehende Plugbereiche (P1, P2) zur Kontaktierung von SpeicherKondensatoreinrichtungen (10-1, ..., 10-4) einer Kondensatoranordnung (2) gemeinsam, insbesondere in einem gemeinsamen Prozessschritt, auszubilden, so dass auf eine zweite Plugabscheidung verzichtet werden kann.



DE 10131626 A1

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen einer Halbleiterspeichereinrichtung gemäß dem Oberbegriff des Anspruchs 1.

[0002] Bei modernen Halbleiterspeichereinrichtungen, insbesondere bei FeRAM-Speichern oder dergleichen, werden ein Halbleitersubstrat oder dergleichen, ein Passivierungsbereich und/oder ein Oberflächenbereich davon mit einer CMOS-Struktur ausgebildet. Des Weiteren wird im Bereich des Halbleitersubstrats oder dergleichen, eines Passivierungsbereichs und/oder eines möglichen Bereichs davon eine Kondensatoranordnung einer Mehrzahl als Speicherlemente dienender Kondensatoreinrichtungen vorgesehen. Zur Kontaktierung der Kondensatoreinrichtungen der Kondensatoranordnungen mit der CMOS-Struktur werden erste und zweite Kontaktbereiche oder Plugbereiche ausgebildet. [0003] Zielsetzung der Fortentwicklung moderner Halbleiterspeichertechnologien ist u. a. die Ausbildung einer möglichst weitgehenden und hohen Integrationsdichte. Ferner ist es eine weitere Zielsetzung, Herstellungsverfahren möglichst einfach und betriebswirtschaftlich sinnvoll zu gestalten.

[0004] Problematisch bei bestehenden Herstellungsverfahren ist, dass eine Vielzahl der in modernen Halbleiterspeichereinrichtungen vorgesehenen Komponenten nur im Rahmen getrennter und nacheinander auszuführender Arbeitsschritte erzeugbar und strukturierbar sind. Dies trifft insbesondere für die Mehrzahl unterschiedlicher Kontaktbereiche oder Plugbereiche zur Kontaktierung der Speicher kondensatoren mit der zugrundeliegenden CMOS-Struktur zu.

[0005] Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung einer Halbleiterspeichereinrichtung anzugeben, welches möglichst einfach ausführbar ist und bei welchem insbesondere verschiedene Prozessschritte bei gleichzeitiger Sicherstellung der Funktionszuverlässigkeit der Komponenten gemeinsam ausführbar sind.

[0006] Gelöst wird die Aufgabe bei einem gattungsgemäßen Verfahren erfindungsgemäß durch die kennzeichnenden Merkmale des Anspruchs 1. Vorteilhafte Weiterbildungen des erfindungsgemäßen Verfahrens zum Herstellen einer Halbleiterspeichereinrichtung sind Gegenstand der abhängigen Unteransprüche.

[0007] Das eingangs erwähnte gattungsgemäße Verfahren zum Herstellen einer Halbleiterspeichereinrichtung wird erfindungsgemäß dadurch weitergebildet, dass die vorzusehenden ersten und zweiten Kontaktbereiche oder Plugbereiche im Wesentlichen gemeinsam, insbesondere in einem gemeinsamen Prozessschritt, in einer gemeinsamen und/oder kaskadierten Prozessfolge oder dergleichen, ausgebildet werden. Dadurch wird in gegenüber dem Stand der Technik vorteilhafte Art und Weise erreicht, dass die gesamte Prozessabfolge produktionstechnisch vereinfacht und zeitlich abgekürzt durchgeführt wird.

[0008] Grundidee des erfindungsgemäßen Verfahrens zum Herstellen einer Halbleiterspeichereinrichtung ist somit das Zusammenfassen des Ausbildens der unterschiedlichen vorzusehenden Plugbereiche oder Kontaktbereiche zur Kontaktierung der Speicher kondensatoren mit dem Rest der Halbleiterspeichereinrichtung, insbesondere mit der zugrundeliegenden CMOS-Struktur, in einem einzigen Schritt, in einer gemeinsamen Prozessabfolge oder in einem gemeinsamen kaskadierten Prozessabschnitt zusammengefasst und somit im Wesentlichen simultan ausgebildet werden.

[0009] Dabei ist es in vorteilhafter Weise insbesondere vorgesehen, dass die Kontaktbereiche oder Plugbereiche nach dem Ausbilden der CMOS-Struktur ausgebildet und

strukturiert werden. Dadurch wird sichergestellt, dass die einmal erzeugte und empfindliche zugrundeliegende Halbleiterschaltung für die Halbleiterspeichereinrichtung, nämlich die CMOS-Struktur, ohne weitergehende Beeinflussung

5 in geschützter Art und Weise weiterverarbeitet werden kann.

[0010] Dazu ist es in vorteilhafter Art und Weise vorgesehen, dass das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat oder dergleichen und/oder der Oberflächenbereich davon und insbesondere die CMOS-10 Struktur durch mindestens einen ersten im Wesentlichen oben liegenden und/oder sich im Wesentlichen lateral erstreckenden Passivierungsbereich aus einem im Wesentlichen elektrisch isolierenden Material – vorzugsweise aus einem Siliziumdioxid oder dergleichen – zumindest teilweise 15 abgedeckt und/oder eingebettet werden, insbesondere in im Wesentlichen zweidimensionaler, groß- und/oder ganzflächiger Art und Weise und/oder insbesondere mit im Wesentlichen planarem Oberflächenbereich.

[0011] Zur Ausbildung der ersten und zweiten Kontaktbereiche oder Plugbereiche ist es gemäß einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens vorgesehen, dass in definierten ersten und zweiten Bereichen oder an definierten ersten und zweiten Stellen in dem im Wesentlichen oben liegenden und sich lateral erstreckenden ersten Passivierungsbereich erste und zweite Ausnehmungen ausgebildet werden. Dies geschieht insbesondere durch einen, vorzugsweise selektiven und/oder gemeinsamen, Ätzprozess oder dergleichen.

[0012] Die ersten und zweiten Plugbereiche werden in der 20 Regel in Bezug auf die zugrundeliegende Halbleiterschaltung und insbesondere in Bezug auf die zugrundeliegende CMOS-Struktur der Halbleiter-Schaltungsanordnung/Halbleiterspeichereinrichtung positioniert und/oder orientiert. Entsprechend ist es in bevorzugter Art und Weise vorgesehen, dass als definierte erste und zweite Bereiche und/oder als definierte erste und zweite Stellen Bereiche im Wesentlichen oberhalb von Source-/Drainbereichen im Oberflächenbereich des Halbleitersubstrats vorgesehene Auswahltransistoranordnungen der CMOS-Struktur gewählt werden.

[0013] Dazu werden in vorteilhafter Art und Weise erste und zweite Ausnehmungen vertikal zumindest teilweise auf das Niveau der Oberflächenbereiche der Source-/Drainbereiche der Auswahltransistoranordnungen ausgebildet.

[0014] Nachfolgend wird dann ein erster Materialbereich 40 eines im Wesentlichen elektrisch leitenden Materials abgeschieden und/oder ausgebildet. Dies geschieht insbesondere in zweidimensionaler, konformer, groß- und/oder ganzflächiger Art und Weise. Dabei werden insbesondere die ersten und zweiten Ausnehmungen jeweils bis zum Niveau des 45 Oberflächenbereichs der Source-/Drainbereiche aufgefüllt. Alternativ oder zusätzlich kann auch ein sehr großzügiges Abscheiden mit einer hohen Schichtdicke erfolgen, ggf. gefolgt von einem Polierschritt oder dergleichen bis auf das 50 Niveau des Oberflächenbereichs des ersten Passivierungsbereichs.

[0015] Obwohl die ersten und zweiten Plugbereiche im Hinblick auf ihre Funktionalität – nämlich die Kontaktierung erster Elektrodeneinrichtungen der Kondensatoreinrichtungen mit der CMOS-Struktur einerseits und die Kontaktierung zweiter Elektrodeneinrichtungen der Kondensatoreinrichtungen mit der CMOS-Struktur andererseits – unterschiedlich sind, ist es von besonderem Vorteil, wenn gemäß einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens die ersten und zweiten Kontaktbereiche oder Plugbereiche im Wesentlichen gleichartig ausgebildet werden. Dies bezieht sich auf die verwendeten Materialien 60 sowie die geometrischen Abmessungen und Orientierungen und vereinfacht die Prozessfolge.

[0016] Zur Ausbildung der jeweiligen Kondensatoreinrichtungen werden jeweils eine erste untere oder Bottomelektrodeneinrichtung, eine zweite obere oder Topelektroneneinrichtung sowie ein im Wesentlichen zwischen den Elektroden ausgebildetes Dielektrikum vorgesehen.

[0017] Eine besondere platzsparende Konzeption ergibt sich, indem eine Kondensatoranordnung zumindest zum Teil verbundener oder Chainstruktur ausgebildet wird. Damit ist es vorgesehen, dass zumindest ein Teil der Kondensatoreinrichtungen mit ihrer jeweiligen ersten unteren oder Bottomelektrodeneinrichtung über ein erstes Kontaktelment, ggf. als Teil der jeweiligen Plugeinrichtung, mit der ersten, unteren oder Bottomelektrodeneinrichtung einer anderen ersten im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung und mit ihrer zweiten oberen oder Topelektroneneinrichtung über ein zweites Kontaktelment, ggf. als Teil der anderen Plugeinrichtung, mit der zweiten oberen oder Topelektroneneinrichtung einer anderen zweiten im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung der Kondensatoranordnung kontaktiert werden.

[0018] Ferner ergibt sich weiter ein besonders platzsparendes Konzept, wenn zumindest ein Teil der Kondensatoreinrichtungen der Kondensatoranordnung im Wesentlichen in Form einer Stapel- oder Stackstruktur aufgebaut werden.

[0019] Zur Ausbildung der jeweiligen ersten, unteren oder Bottomelektrodeneinrichtungen ist es vorgesehen, dass – insbesondere auf dem Oberflächenbereich des ersten Passivierungsbereichs mit den darin ausgebildeten Kontaktbereichen und Plugbereichen – mindestens ein zweiter Materialbereich für die ersten, unteren oder Bottomelektrodeneinrichtungen abgeschieden wird, insbesondere aus mindestens einem elektrisch leitfähigen Material, zum Beispiel einem Metall, Metalloxid und/oder dergleichen und/oder insbesondere in konformer Art und Weise, in zweidimensionaler, konformer, groß- und/oder ganzflächiger Art und Weise und/oder insbesondere mit im Wesentlichen planarem Oberflächenbereich.

[0020] Zur Ausbildung des Dielektrikums zwischen den jeweiligen Elektrodeneinrichtungen der Kondensatoreinrichtungen ist es erfindungsgemäß ferner vorgesehen, dass ein dritter Materialbereich für das Dielektrikum abgeschieden wird, insbesondere in Form eines Ferroelektrikums, Paraelektrikums oder dergleichen, insbesondere in zweidimensionaler, konformer, großflächiger und/oder ganzflächiger Art und Weise und/oder insbesondere mit im Wesentlichen planarem Oberflächenbereich.

[0021] Zur Ausbildung der konkreten ersten Elektrodeneinrichtungen aus dem zweiten Materialbereich ist es vorgesehen, dass zumindest der zweite Materialbereich für die erste, untere oder Bottomelektrodeneinrichtung strukturiert wird, insbesondere durch einen anisotropen Ätzprozess oder dergleichen. Ferner werden dadurch voneinander und von den zweiten Kontaktbereichen oder Plugbereichen im Wesentlichen elektrisch isolierte Paare verbundener erster, unterer oder Bottomelektrodeneinrichtungen in im Wesentlichen jeweils gemeinsam im Wesentlichen elektrischen Kontakt mit den ersten Kontaktbereichen oder Plugbereichen gebildet.

[0022] Gemäß einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens ist es vorgesehen, dass beim Strukturieren der ersten, unteren oder Bottomelektrodeneinrichtungen im Bereich der zweiten Kontaktbereichen oder Plugeinrichtungen von den ersten Kontaktbereichen oder Plugeinrichtungen im Wesentlichen elektrisch isolierte Kontaktflecken im Wesentlichen als Bereiche des zweiten Materialbereichs – insbesondere ohne darüber angeordnetem Dielektrikum – zur späteren Kontaktierung mit

vorzusehenden zweiten, oberen oder Topelektroneneinrichtungen ausgebildet werden. Diese Vorgehensweise erzeugt durch die Kontaktflecken als Bereich der zweiten Materialbereiche einen Schutz der Kontaktgrenzfläche zwischen den

5 zweiten Plugbereichen und den später anzubringenden Top-elektronenkontakten.

[0023] Besonders vorteilhaft gestaltet sich das erfindungsgemäße Verfahren, wenn der zweite und der dritte Materialbereich im Wesentlichen gemeinsam ausgebildet und/oder strukturiert werden. Das bedeutet, dass durch gemeinsames Ausbilden und Strukturieren sowohl der Bottomelektrodeneinrichtung und der entsprechenden Dielektrikumsschichten entsprechende Lithographieebenen zusammengefaßt und eingespart werden können.

[0024] Zur Stabilisierung und weiteren Strukturierung der Anordnung ist es vorgesehen, dass ein zweiter Passivierungsbereich eines im Wesentlichen elektrisch isolierenden Materials abgeschieden und/oder ausgebildet wird. Dies geschieht insbesondere in zweidimensionaler Abscheidetechnik, in konformer, großflächiger, ganzflächiger Art und Weise oder dergleichen, wobei insbesondere Vorflächenbereiche der zweiten Kontaktbereiche oder Plugbereiche – ggf. der Kontaktflecken davon – des Dielektrikums, der ersten Elektrodeneinrichtungen und/oder des ersten Passivierungsbereichs oder von Teilen davon im Wesentlichen abgedeckt und/oder eingebettet werden. Dies geschieht insbesondere bis zum Niveau des Oberflächenbereichs des Dielektrikums, ggf. durch großzügiges Abscheiden oder Ausbilden mit nachfolgendem Polieren mit Stop auf dem Niveau des Oberflächenbereichs des Dielektrikums. Dadurch wird eine entsprechende Isolation der zweiten Kontaktbereiche oder Plugbereiche gegenüber den ersten oder Bottomelektrodeneinrichtungen gewährleistet, insbesondere im Hinblick auf die nachfolgenden Prozessschritte.

[0025] Es ist ferner vorgesehen, dass zur elektrischen Isolation der ersten Elektrodeneinrichtungen oder Bottomelektrodeneinrichtungen von den zweiten Kontaktbereichen oder Plugbereichen Randbereiche der ersten Elektrodeneinrichtungen oder Bottomelektrodeneinrichtungen mit einem

40 Spacer oder dergleichen ausgebildet werden, insbesondere durch anisotropes Rückätzen des zweiten Passivierungsbereichs im Bereich der ersten definierten Stellen, und zwar zum Öffnen oder Freilegen zumindest von Teilen der Oberflächenbereiche der zweiten Kontaktbereiche oder Plugbereiche oder der Kontaktflecken davon, insbesondere durch Ausbilden dritter Ausnehmungen im zweiten Passivierungsbereich. Durch diese Spacertechnik wird eine entsprechende elektrische Isolation der Kantenbereiche oder Randbereiche der ersten Elektrodeneinrichtungen oder Bottomelektroden

50 gegenüber den später mit den Topelektronen zu kontaktierenden zweiten Plugbereichen besonders zuverlässig gewährleistet.

[0026] Zur Ausbildung der eigentlichen zweiten, oberen oder Topelektroneneinrichtungen ist es vorgesehen, dass ein dritter Materialbereich für die zweiten oberen oder Topelektroneneinrichtungen eines im Wesentlichen elektrisch leitenden Materials abgeschieden und/oder ausgebildet wird. Dies geschieht insbesondere in selektiver, zweidimensionaler, konformer, großflächiger und/oder ganzflächiger Art

60 und Weise. Dabei werden insbesondere die dritten Ausnehmungen jeweils bis zum Niveau des Oberflächenbereichs der zweiten Plugbereiche oder der Kontaktflecken davon befüllt. Alternativ oder zusätzlich kann ein großzügiges Abscheiden mit nachfolgendem Polieren oder dergleichen bis auf ein Niveau oberhalb der Oberflächenbereiche des Dielektrikums erfolgen. Es wird dadurch erreicht, dass insbesondere im Wesentlichen elektrisch getrennte Paare zweiter Elektrodeneinrichtungen oder Topelektroneneinrichtungen

65

mit den jeweiligen zweiten Kontaktbereichen oder Plugbereichen im Wesentlichen elektrisch kontaktiert ausgebildet werden.

[0027] Nachfolgend können noch ggf. weitere Passivierungs-, Barriere- oder Kontakt- bzw. Metallisierungsschichten ausgebildet werden, wie dies im Stand der Technik bekannt ist.

[0028] Die zuvor dargestellten und weitere Aspekte und Vorteile der vorliegenden Erfindung ergeben sich aufgrund der nachfolgenden Bemerkungen:

Beim Aufbau von HalbleiterSpeichereinrichtungen mit Speicher kondensatoren in verketterter oder Chain-Anordnung ergeben sich Schwierigkeiten hinsichtlich der Anschlüsse von Topelektroden und Bottomelektroden mit entsprechenden Plugbereichen, die in einem Oberflächenbereich eines Halbleitersubstrats, insbesondere in einem Passivierungsbereich davon, ausgebildet werden. Diese Schwierigkeiten beziehen sich insbesondere auf die Notwendigkeit, die Herstellungsverfahren mit möglichst wenigen Prozessschritten zu realisieren.

[0029] Grundlegender Aspekt der vorliegenden Erfindung ist, Maßnahmen anzugeben, die einen vereinfachten Herstellungsprozess ermöglichen. Dies wird insbesondere dadurch realisiert, dass auf eine zweite Plugabscheidung oder -ausbildung verzichtet werden kann.

[0030] FeRAMs wurden bisher nur im sog. Offset-Prinzip ausgebildet, bei welchem Topelektroden- und Bottomelektrodenanschlüsse über ein Metall eines ersten Typs realisiert werden. Dabei werden sowohl Durchkontaktierungen oder Vias zwischen Top- und Bottomelektrode und diesem Metall als auch Kontaktlöcher zwischen Source-/Drainbereichen in der CMOS-Struktur vorgesehener Auswahltransistor-Einrichtungen und dem Metall benötigt. FeRAM-Strukturen nach dem Stack-Prinzip oder Stapelprinzip wurden dagegen bisher nicht realisiert.

[0031] Das erfundungsgemäße Verfahren weist insbesondere u. a. folgende Schritte auf:
Nachdem die Transistoren – die CMOS-Struktur und dergleichen – hergestellt wurden, wird ein Zwischenoxid als Passivierungsbereich abgeschieden und z. B. mittels CMP planarisiert. Anschließend werden sowohl die Plugs, welche zu dem Bottomelektrodeneinrichtungen führen, als auch diejenigen Plugs, welche zu den Topelektrodeneinrichtungen führen sollen, in das Zwischenoxid eingebracht. Dies geschieht durch das Ätzen entsprechender Kontaktlöcher und durch nachfolgendes Füllen, z. B. mit Polysilizium oder dergleichen, wobei die Oberfläche in Bezug auf das Zwischenoxid wiederum planarisiert werden kann.

[0032] Anschließend werden die Bottomelektrodeneinrichtungen, welche typischerweise aus einem Edelmetall und ggf. einer Sauerstoffbarriere bestehen, auf der so erhaltenen Oberfläche abgeschieden und nachfolgend strukturiert. Dabei besteht grundsätzlich die Möglichkeit, dass an den Stellen, an denen die Plugs, welche zu den Topelektrodeneinrichtungen führen sollen – die sog. Topelektroden-Plugs – diese Metallschicht jeweils als Kontaktfleck verbleibt. Die entsprechende Bottomelektrodenmetallisierung kann aber auch wahlweise genau an diesen Stellen entfernt werden. Wenn sie belassen wird, hat das den Vorteil eines zusätzlichen Schutzes der entsprechenden Plugoberfläche, wobei vor der späteren Kontaktierung der Plugs mit den Topelektroden keine erneute Nassreinigung der Plugoberfläche erforderlich ist. Außerdem kann das anschließend zu ätzende Kontaktloch ein geringeres Aspektverhältnis haben, wenn die Bottomelektrodenmetallisierung auf den Plugs verbleibt.

[0033] In einem der nächsten Verfahrensschritte wird dann das Dielektrikum, insbesondere das Ferroelektrikum,

abgeschieden und strukturiert. Das Ferroelektrikum kann so strukturiert werden, dass für jede Kondensatoreinrichtung ein separater und materiell getrennter Dielektrikumsbereich auf den Bereichen der Bottomelektrodeneinrichtungen ausgebildet wird. Es ist aber auch möglich, das Dielektrikum in großflächigerer Art und Weise auszubilden, indem es zum Beispiel überall dort belassen wird, wo insgesamt das Bottomelektrodenmaterial vorhanden ist. Daraus resultiert die Möglichkeit, bei Verfügbarkeit eines geeigneten Ätzprozesses das Ferroelektrikum und das Material für die Bottomelektrode gleichzeitig zu strukturieren, insbesondere durch einen im Wesentlichen gemeinsamen Ätzprozess. Dies bringt eine erhebliche Vereinfachung und Verkürzung des Prozessablaufs, da mindestens eine Lithographieebene und ein Ätzvorgang eingespart werden können.

[0034] Anschließend folgt die Abscheidung eines Zwischenoxids als Passivierungsschicht. Dieses Zwischenoxid wird dann mit Stop auf dem Ferroelektrikum planarisiert. In einem nachfolgenden Lithographieschritt wird dann ein

20 Fenster zu den Topelektroden-Plugs hergestellt. Je nach vorheriger Prozessierung werden diese Fenster bis zu den Kontaktflecken oder der Bottomelektrodenmetallisierung oder bis zur Plugoberfläche selbst herunter geöffnet und geführt.

[0035] Nach dem Abscheiden einer weiteren Metallisierungsschicht für die Topelektroden – die sog. Topelektroden-Plugs – entsteht folglich ein Kontakt zu den Topelektrodenplugs, entweder über die sog. Topelektroden-Plugs-Metallisierung – die sog. Kontaktfleck – oder aber durch direkten Kontakt der Topelektrodenmetallisierung mit der Plugoberfläche.

[0036] Für den Fall, dass das Material der Bottomelektrodeneinrichtung – also der Kontaktfleck – auf den Topelektrodenplugs entfernt wird, ist eine andere Prozessabfolge möglich.

[0037] Man scheidet beispielsweise das Bottomelektrodenmaterial und das Ferroelektrikum nacheinander ab und strukturiert diese so, dass geeignete Kondensatorstrukturen und Öffnungen für die Topelektrodenplugs entstehen. Anschließend wird eine dielektrische Schicht konform abgeschieden und dann anisotrop geätzt, so dass ein Spacer entsteht und der Topelektroden-Plug mit seiner Oberfläche wiederum freiliegt. Dann wird das Topelektrodenmaterial abgeschieden, so dass ein Kontakt zwischen diesem Material und der Oberfläche der Topelektrodenplugs entsteht.

[0038] Das Ausführungsform mit Spacer ist platzsparender als das oben zuerst beschriebene, weil der Prozess selbstjustierend ist.

[0039] In beiden Fällen erfolgt der weitere Prozessverlauf derart, dass zusätzlich weitere Zwischenoxide, Metallisierungen und andere Schichten abgeschieden und entsprechend planarisiert ausgebildet werden können.

[0040] Insgesamt liegt ein erfunderischer Schritt u. a. darin, dass der Schritt der zweiten Plugabscheidung mit dem Schritt der ersten Plugabscheidung gemeinsam durchgeführt werden kann. Der zweite Plug reicht dabei aber nur bis zum ersten Zwischenoxid oder der ersten Passivierungsschicht, so dass eine entsprechende Strukturierung über einen Topelektrodenkontakt aufgebaut werden kann.

[0041] Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen näher erläutert.

[0042] Fig. 1-8 zeigen in schematischer und geschnittener Seitenansicht verschiedene Zwischenstufen, die gemäß einer Ausführungsform des erfundungsgemäßen Verfahrens zur Herstellung einer Halbleiter-Speichereinrichtung erhalten werden.

[0043] Die in den Fig. 1-7 in schematischer und geschnittener Seitenansicht gezeigten Zwischenstufen bei der erfin-

dungsgemäßen Herstellung einer Halbleiterspeichereinrichtung werden gleiche oder gleich wirkende Elemente mit identischen Bezugszeichen bezeichnet, ihre Beschreibung wird im Detail nicht für jede Figur einzeln wiederholt.

[0044] Ausgangspunkt bei der erfundungsgemäßen Herstellung der Halbleiterspeichereinrichtung 1 ist die in Fig. 1 in seitlicher Querschnittsansicht gezeigte Anordnung.

[0045] In einem eigentlichen Halbleitersubstrat 20 wird in einem Vorprozess eine CMOS-Struktur ausgebildet, welche der Verschaltung der Halbleiterspeichereinrichtung dient. In einem Oberflächenbereich 20a des Halbleitersubstrats 20 sind zur Auswahl der auszubildenden Speicherzellen, d. h. zur Ansteuerung der entsprechend auszubildenden Speicher kondensatoren 10-1, ..., 10-4, Auswahltransistoreinrichtungen T1 bis T4 vorgesehen. Diese werden gebildet von im Oberflächenbereich 20a des Halbleitersubstrats 20 angeordneten Source-/Drainbereichen SD mit entsprechenden Oberflächenbereichen SDa. Dabei sind benachbarte Source-/Drainbereiche SD voneinander beabstandet angeordnet und durch einen Zwischenbereich 20b im Oberflächenbereich 20a des Halbleitersubstrats 20 voneinander getrennt.

[0046] Oberhalb der Zwischenbereiche 20b im Oberflächenbereich 20a des Halbleitersubstrats 20 verlaufen über Gate-Oxidbereiche G elektrisch isolierte, im Wesentlichen elektrisch leitfähige Wortleitungen WL. Über die Wortleitungen WL werden die dadurch als Gate fungierenden Gate-Oxidbereiche G der einzelnen Auswahltransistoreinrichtungen T1 bis T4 angesteuert.

[0047] Im Rahmen eines im Wesentlichen anisotropen Ätzprozesses oder Lithographieschritts wird eine Mehrzahl erster und zweiter Ausnehmungen im ersten Passivierungsbereich 21 ausgebildet, und zwar an definierten ersten Stellen K1 sowie an definierten zweiten Stellen K2. Diese definierten Stellen K1 und K2 befinden sich im Bereich oberhalb der Source-/Drainbereiche SD der Auswahltransistoreinrichtungen T1, ..., T4 der zugrundeliegenden CMOS-Struktur.

[0048] Die ersten und die zweiten Ausnehmungen an den ersten und zweiten Stellen K1 und K2 erstrecken sich in vertikaler Richtung, ausgehend von der Oberfläche 21a des ersten Passivierungsbereichs 21, bis auf das Niveau des Oberflächenbereichs 20a des Halbleitersubstrats und insbesondere bis auf das Niveau des Oberflächenbereichs SDa der Source-/Drainbereiche SD der Auswahltransistoreinrichtungen T1, ..., T4.

[0049] In Fig. 2 sind in seitlicher Querschnittsansicht in dem ersten Passivierungsbereich 21 ausgebildete erste und zweite Ausnehmungen mit einem Materialbereich für die auszubildenden ersten und zweiten Plugbereiche P1 und P2 im Rahmen eines 2D-Abscheidungsverfahrens vorgesehen. Dabei werden die ersten und zweiten Ausnehmungen im ersten Passivierungsbereich 21 vollständig gefüllt. Bedeckt mit dem Materialbereich für die ersten und zweiten Plugbereiche P1 und P2 ist auch der Oberflächenbereich 21a des ersten Passivierungsbereichs 21.

[0050] Dann wird im Rahmen eines Planarisierungsverfahrens ein Polieren, z. B. durch ein CMP-Verfahren, mit einem Stop auf der Oberfläche 21a des ersten Passivierungsbereichs 21 durchgeführt, so dass die über den Materialbereich noch miteinander verbundenen ersten und zweiten Plugbereiche P1 und P2 nunmehr getrennt vorliegen, so dass sich elektrisch voneinander im Wesentlichen isolierte erste und zweite Plugbereiche P1 und P2 ergeben.

[0051] Es ist auch möglich, einen "Recess" durchzuführen und nach der Abscheidung soweit anisotrop zurückzuätzen, bis nur noch Poly-Si/W in den Plugs übrig bleibt.

[0052] Die in Fig. 2 gezeigte Anordnung und Struktur

kann mit Standardverfahren, wie sie im Stand der Technik bekannt sind, ausgebildet werden.

[0053] Von der in Fig. 1 in seitlicher Querschnittsansicht gezeigten Grundstruktur ausgehend, wird erfundungsgemäß wie folgt verfahren, um in vorteilhafter Art und Weise mit besonders wenigen Prozessschritten eine Halbleiterspeichereinrichtung auszubilden:

In Fig. 2 ist in seitlicher Querschnittsansicht ein Zwischenzustand gezeigt, bei welchem auf der planaren Oberfläche 10 der Anordnung der Fig. 1 zweite und dritte Materialschichten 26 und 24 für die Bottomelektrode 14 bzw. für das Dielektrikum 16 in zweidimensionaler Art und Weise abgeschieden sind. Ferner ist eine Maskenstruktur 100 vorgegeben.

[0054] Es wird nun in einem gemeinsamen Strukturierungsschritt in der Abfolge der Schichten 26 und 24 die entsprechende Struktur für die Bottomelektroden 14 und für das entsprechende Dielektrikum 16 aufgeprägt. Dies geschieht durch ein entsprechendes anisotropes Ätzverfahren und einen entsprechenden Lithographieschritt.

[0055] Fig. 3 zeigt diesen Zwischenzustand in seitlicher Querschnittsansicht. Dabei sind miteinander deckungsgleich die Bereiche der Bottomelektroden 14 oder entsprechende Dielektrikumsbereiche 16 an den definierten ersten 25 Stellen K1 oberhalb der ersten Plugbereiche P1 ausgebildet. Durch Ausnehmungen 32 sind benachbarte Bottomelektroden 14 elektrisch voneinander isoliert, und die Oberflächenbereiche Pa der zweiten Plugbereiche P2 an den zweiten definierten Stellen K2 liegen frei.

[0056] Im Übergang zum in Fig. 4 gezeigten Zwischenzustand wird dann ein zweiter Passivierungsbereich 31 in zweidimensionaler Art und Weise abgeschieden, wodurch die Bottomelektroden 14 und die entsprechenden Dielektrikumsbereiche 16 eingebettet und stabilisiert werden. Wie in gestrichelter Form angedeutet, kann der Passivierungsbereich 31 auch zunächst konform ausgebildet sein und dann rückgeätzt werden.

[0057] Im Übergang zum Zwischenzustand der Fig. 5 wurde nun durch ein im Wesentlichen anisotropes Rückätzverfahren der jeweils laterale Bereich des zweiten Passivierungsbereichs 31 auf der Oberflächenstruktur entfernt, so dass der Oberflächenbereich Pa der zweiten Plugbereiche P2 nunmehr freiliegt und vertikale Bereiche 31f des zweiten Passivierungsbereichs 31 in Randbereichen 14b, 16b der Bottomelektroden 14 und der entsprechenden Dielektrikumsbereiche 16 als sogenannter Spacer zur entsprechenden elektrischen Isolation dieser Randbereiche von den zweiten Plugbereichen P2 verbleiben.

[0058] Im Übergang zum Zwischenzustand der Fig. 6 wird nunmehr eine weitere Materialschicht 28 ausgebildet, wobei nach entsprechender elektrischer Trennung durch die in Fig. 7 gezeigten Ausnehmungen 42 Paare miteinander elektrisch verbundener Topelektroden 18 in Kontakt mit den zweiten Plugbereichen P2 vorliegen.

[0059] In Fig. 8 ist die Struktur abermals in einen Passivierungsbereich 41 eingebettet.

Patentansprüche

1. Verfahren zum Herstellen einer Halbleiterspeichereinrichtung, insbesondere eines FeRAM-Speichers oder dergleichen, bei welchem ein Halbleitersubstrat (20) oder dergleichen, ein Passivierungsbereich (21) und/oder ein Oberflächenbereich (20a, 21a) davon mit einer CMOS-Struktur ausgebildet werden, bei welchem im Bereich des Halbleitersubstrats (20) oder dergleichen, eines Passivierungsbereichs (21)

und/oder eines Oberflächenbereichs (20a, 21a) davon eine Kondensatoranordnung (2) einer Mehrzahl als Speicherelemente dienender Kondensatoreinrichtungen (10-1, . . ., 10-4) ausgebildet wird und bei welchem zur Kontaktierung der Kondensatoreinrichtungen (10-1, . . ., 10-4) mit der CMOS-Struktur zumindest erste und zweite Kontaktbereiche oder Plugbereiche (P1, P2) vorgesehen werden, dadurch gekennzeichnet, dass die vorzusehenden ersten und zweiten Kontaktbereiche oder Plugbereiche (P1, P2) im Wesentlichen gemeinsam, insbesondere in einem gemeinsamen Prozessschritt, in einer gemeinsamen und/oder kaskadier-ten Prozessfolge oder dergleichen, ausgebildet werden. 5

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die ersten und zweiten Kontaktbereiche oder Plugbereiche (P1, P2) nach dem Ausbilden der CMOS-Struktur ausgebildet werden. 10

3. Verfahren nach einem der vorgehenden Ansprüche, dadurch gekennzeichnet, dass das, insbesondere sich im Wesentlichen horizontal erstreckende, Halbleitersubstrat (20) oder dergleichen und/oder ein Oberflächenbereich (20a) davon, insbesondere die CMOS-Struktur durch mindestens einen ersten im Wesentlichen oben liegenden und/oder sich im Wesentlichen lateral erstreckenden Passivierungsbereich (21) aus einem im Wesentlichen elektrisch isolierenden Material zumindest teilweise abgedeckt und/oder eingebettet werden, insbesondere in im Wesentlichen zweidimen- 15

sionaler, groß- und/oder ganzflächiger Art und Weise und/oder insbesondere mit im Wesentlichen planarem Oberflächenbereich (21a). 20

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass in definierten ersten und zweiten Bereichen oder an definierten ersten und zweiten Stellen (K1, K2) im oben liegenden ersten Passivierungsbereich (21) erste bzw. zweite Ausnehmungen (22, 32) ausgebildet werden, insbesondere durch einen, vorzugsweise selektiven und/oder gemeinsamen, Ätzprozess oder dergleichen. 25

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass als definierte erste und zweite Bereiche und/oder als definierte erste und zweite Stellen (K1, K2) Bereiche im Wesentlichen oberhalb von Source-/Drainbereichen (SD) im Oberflächenbereich (20a) des Halbleitersubstrats (20) vorgesehener Auswahltransistoreinrichtungen (T1, . . ., T4) der CMOS-Struktur gewählt werden. 30

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die ersten und zweiten Ausnehmungen (22, 32) vertikal zumindest teilweise bis auf das Niveau der Oberflächenbereiche (SDa) der Source-/Drainbereiche (SD) der Auswahltransistoreinrichtungen (T1, . . ., T4) ausgebildet werden. 35

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass zum Ausbilden der ersten und zweiten Kontaktbereiche oder Plugbereiche (P1, P2) ein erster Materialbereich eines im Wesentlichen elektrisch leitenden Materials abgeschieden und/oder ausgebildet wird, insbesondere in zweidimensionaler, konformer, großflächiger und/oder ganzflächiger und/oder die ersten und zweiten Ausnehmungen (22, 32) jeweils bis zum Niveau der Oberflächenbereiche (SDa) der Source-/Drainbereiche (SD) füllender Form, ggf. durch nachfolgendes Polieren oder dergleichen bis auf das Niveau des Oberflächenbereichs (21a) des ersten Passivierungsbereichs (21). 40

8. Verfahren nach einem der vorgehenden Ansprü- 45

che, dadurch gekennzeichnet, dass die ersten und zweiten Kontaktbereiche oder Plugbereiche (P1, P2) im Wesentlichen gleichartig ausgebildet werden. 5

9. Verfahren nach einem der vorgehenden Ansprüche, dadurch gekennzeichnet, dass für jede der Kondensatoreinrichtungen (10-1, . . ., 10-4) eine erste, untere oder Bottomelekrodeneinrichtung (14, BE), eine zweite, obere oder Topelekrodeneinrichtung (18, TE) sowie ein im Wesentlichen dazwischen ausgebildetes Dielektrikum (16) vorgesehen werden. 10

10. Verfahren nach einem der vorgehenden Ansprüche, dadurch gekennzeichnet, dass zumindest ein Teil der Kondensatoreinrichtungen (10-1, . . ., 10-4) mit ihrer jeweiligen ersten, unteren oder Bottomelekrodeneinrichtung (14, BE) über ein erstes Kontaktelement (11-1) mit der ersten, unteren oder Bottomelekrodeneinrichtung (14, BE) einer im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung (10-1, . . ., 10-4) mit ihrer zweiten, oberen oder Topelekrodeneinrichtung (18, TE) über ein zweites Kontaktelement (11-2) mit der zweiten, oberen oder Topelekrodeneinrichtung (18, TE) einer zweiten im Wesentlichen direkt räumlich benachbarten Kondensatoreinrichtung (10-1, . . ., 10-4) der Kondensatoranordnung (2) kontaktiert werden, um eine Kondensatoranordnung (2) mit zumindest zum Teil verbundener oder Chainstruktur zu bilden. 15

11. Verfahren nach einem der vorgehenden Ansprüche, dadurch gekennzeichnet, dass zumindest ein Teil der Kondensatoreinrichtung (10-1, . . ., 10-4) im Wesentlichen in Form einer Stapelstruktur oder Stackstruktur aufgebaut wird. 20

12. Verfahren nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, dass – insbesondere auf dem Oberflächenbereich (21a) des ersten Passivierungsbereichs (21) mit den darin ausgebildeten Kontaktbereichen oder Plugbereichen (P1, P2) – mindestens ein zweiter Materialbereich (26) für die erste, untere oder Bottomelekrodeneinrichtung (14, BE) abgeschieden und/oder ausgebildet wird, insbesondere aus mindestens einem im Wesentlichen elektrisch leitfähigen Material, z. B. einem Metall, Metalloxid und/oder dergleichen, insbesondere in zweidimensionaler, konformer, großflächiger und/oder ganzflächiger Art und Weise und/oder insbesondere mit im Wesentlichen planarem Oberflächenbereichen (26a). 25

13. Verfahren nach einem der vorgehenden Ansprüche, dadurch gekennzeichnet, dass ein dritter Materialbereich (24) für das Dielektrikum (16) abgeschieden und/oder ausgebildet wird, insbesondere in Form eines Ferroelektrikums, Paraelektrikums oder dergleichen, insbesondere in zweidimensionaler, konformer, großflächiger und/oder ganzflächiger Art und Weise und/oder insbesondere mit im Wesentlichen planaren Oberflächenbereichen (24a). 30

14. Verfahren nach einem der Ansprüche 12 oder 13, dadurch gekennzeichnet, dass zumindest der zweite Materialbereich (26) für die erste, untere oder Bottomelekrodeneinrichtung (14, BE) strukturiert wird, insbesondere durch einen anisotropen Ätzprozess oder dergleichen, und dass dadurch voneinander und vom zweiten Kontaktbereich oder Plugbereich (P2) im Wesentlichen elektrisch isolierte Paare verbundener erster, unterer oder Bottomelekrodeneinrichtungen (14, BE) mit im Wesentlichen elektrisch jeweils gemeinsamen Kontakt mit dem ersten Kontaktbereich oder Plugbereich (P1) ausgebildet werden. 35

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass beim Strukturieren der ersten, unteren oder Bottomelektrodeneinrichtung (14, BE) im Bereich der zweiten Kontaktbereiche oder Plugbereiche (P2) von den ersten Kontaktbereichen oder Plugbereichen 5 (P1) im Wesentlichen elektrisch isolierte Kontaktflecken – insbesondere im Wesentlichen als Bereiche des zweiten Materialbereichs (26) und/oder insbesondere ohne darüber angeordnetem Dielektrikum – zur späteren Kontaktierung mit den vorzusehenden zweiten, 10 oberen oder Topelektrodeneinrichtungen (18, TE) ausgebildet werden.

16. Verfahren nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, dass der zweite und der dritte Materialbereich (26, 24) im Wesentlichen gemeinsam 15 ausgebildet und/oder strukturiert werden.

17. Verfahren nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet, dass ein zweiter Passivierungsbereich (31) eines im Wesentlichen elektrisch isolierenden Materials ausgebildet und/oder abgeschieden 20 wird, insbesondere in zweidimensionaler, konformer, großflächiger und/oder ganzflächiger Art und Weise, wobei insbesondere Oberflächenbereiche (Pa, 16a, 14a, 21a) der zweiten Kontaktbereiche oder Plugbereiche (P2) – ggf. der Kontaktflecken davon – des Dielektrikums (16), der ersten Elektrodeneinrichtung (14) und/oder des ersten Passivierungsbereichs (21) oder Teilen davon im Wesentlichen abgedeckt und/oder eingebettet werden und/oder insbesondere bis zum Niveau des Oberflächenbereichs (16a) des Dielektrikums, ggf. 30 durch nachfolgendes Polieren und/oder Rückätzen mit Stopp auf dem Niveau des Oberflächenbereichs (16a) des Dielektrikums (16).

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass zur elektrischen Isolation der ersten 35 Elektrodeneinrichtungen (14, BE) von den zweiten Kontaktbereichen oder Plugbereichen (P2) Randbereiche (14b) der ersten Elektrodeneinrichtung (14, BE) mit einem Spacer (31f) ausgebildet werden, insbesondere durch anisotropes Rückätzen des zweiten Passivierungsbereichs (31) im Bereich der zweiten definierten Stellen (K2) und/oder durch Öffnen oder Freilegen 40 zumindest von Teilen der Oberflächenbereiche (Pa) der zweiten Kontaktbereiche oder Plugbereiche (P2) oder der Kontaktflecken davon durch Ausbilden dritter Ausnahmungen (42).

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, 45 dass ein vierter Materialbereich (28') für die zweiten, oberen oder Topelektrodeneinrichtungen (18, TE) ein 50 es im Wesentlichen elektrisch leitenden Materials ausgebildet und/oder abgeschieden wird, insbesondere in selektiver, zweidimensionaler, konformer, großflächiger, ganzflächiger und/oder die dritten Ausnahmungen (42) jeweils bis zum Niveau des Oberflächenbereiche (Pa) der zweiten Plugbereiche (P2) oder der Kontaktflecken davon füllender Form, ggf. durch nachfolgendes Polieren oder dergleichen bis auf ein Niveau 55 oberhalb des Oberflächenbereichs (16a) des Dielektrikums (16), und dass dadurch insbesondere voneinander im Wesentlichen elektrisch getrennte Paare verbundene zweiter Elektrodeneinrichtungen (18, TE) mit dem jeweiligen zweiten Kontaktbereich oder Plugbereich (P2) im Wesentlichen elektrisch kontaktiert ausgebildet werden. 60 65

- Leerseite -

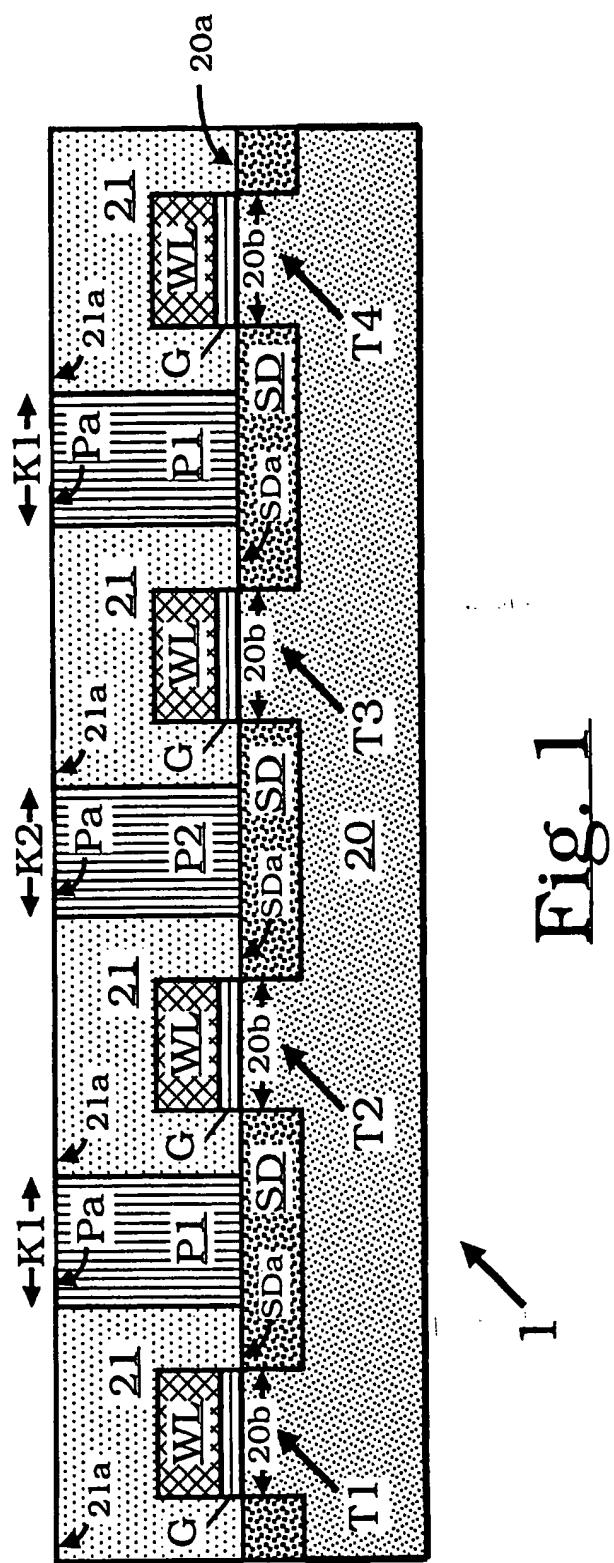
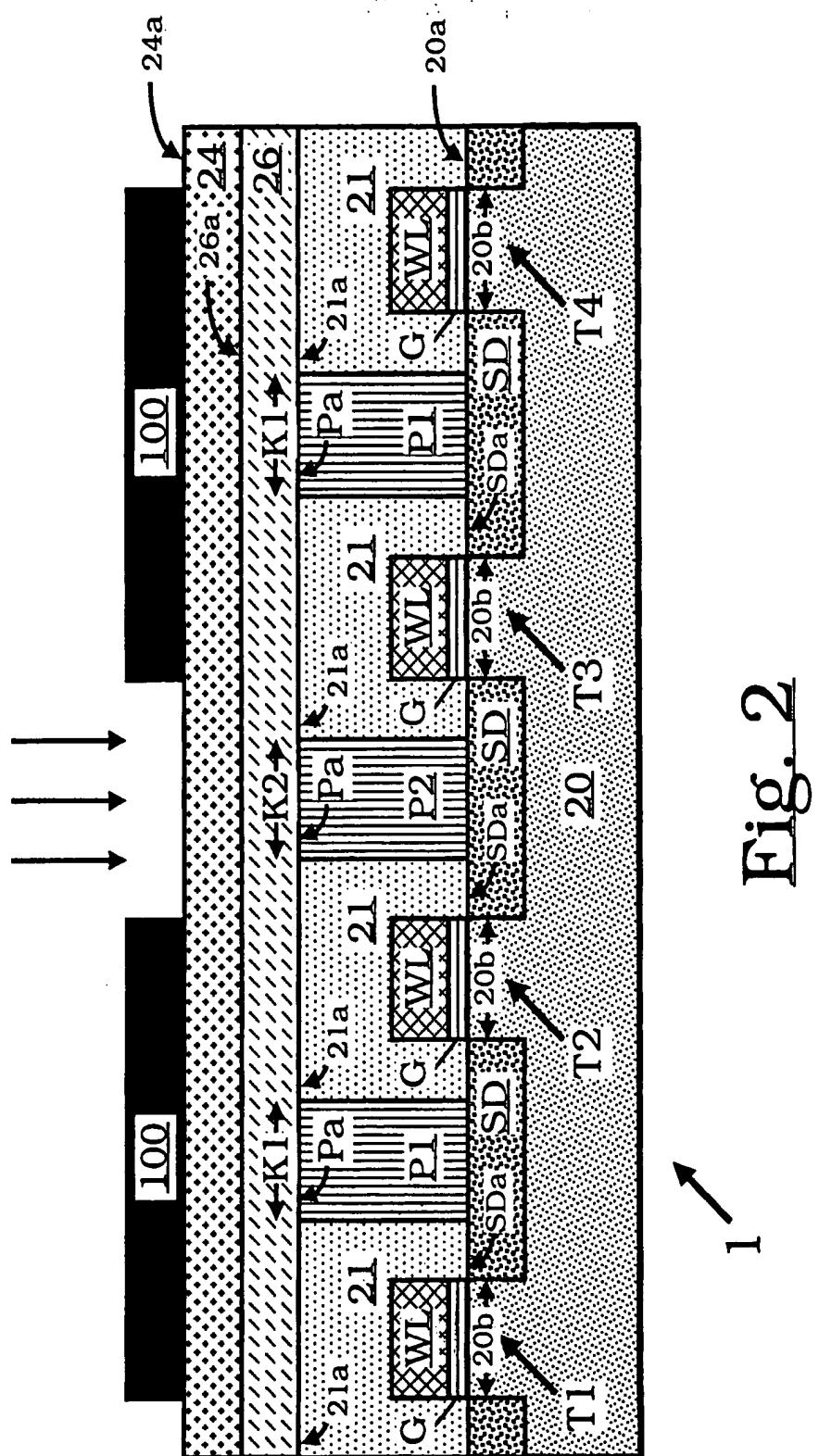


Fig. 1



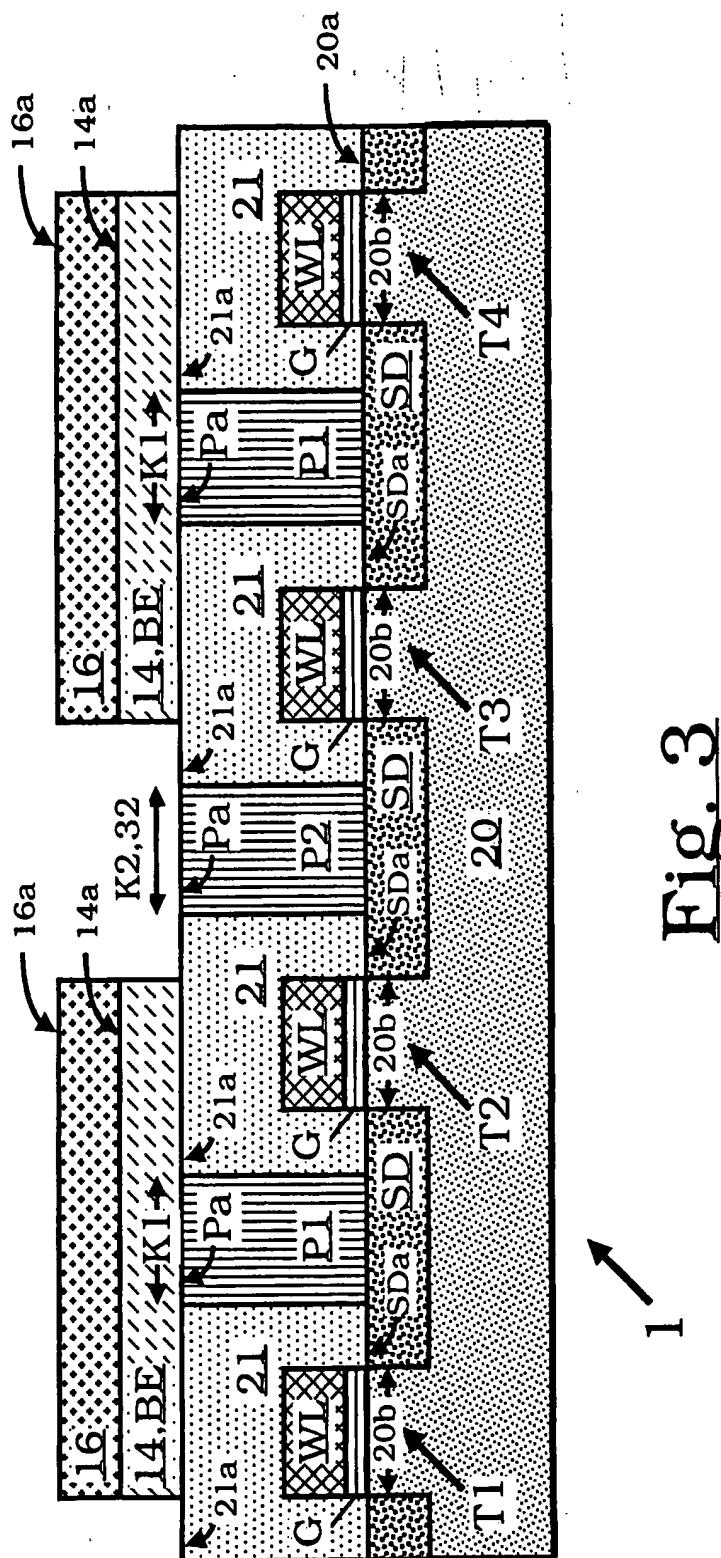


Fig. 3

1

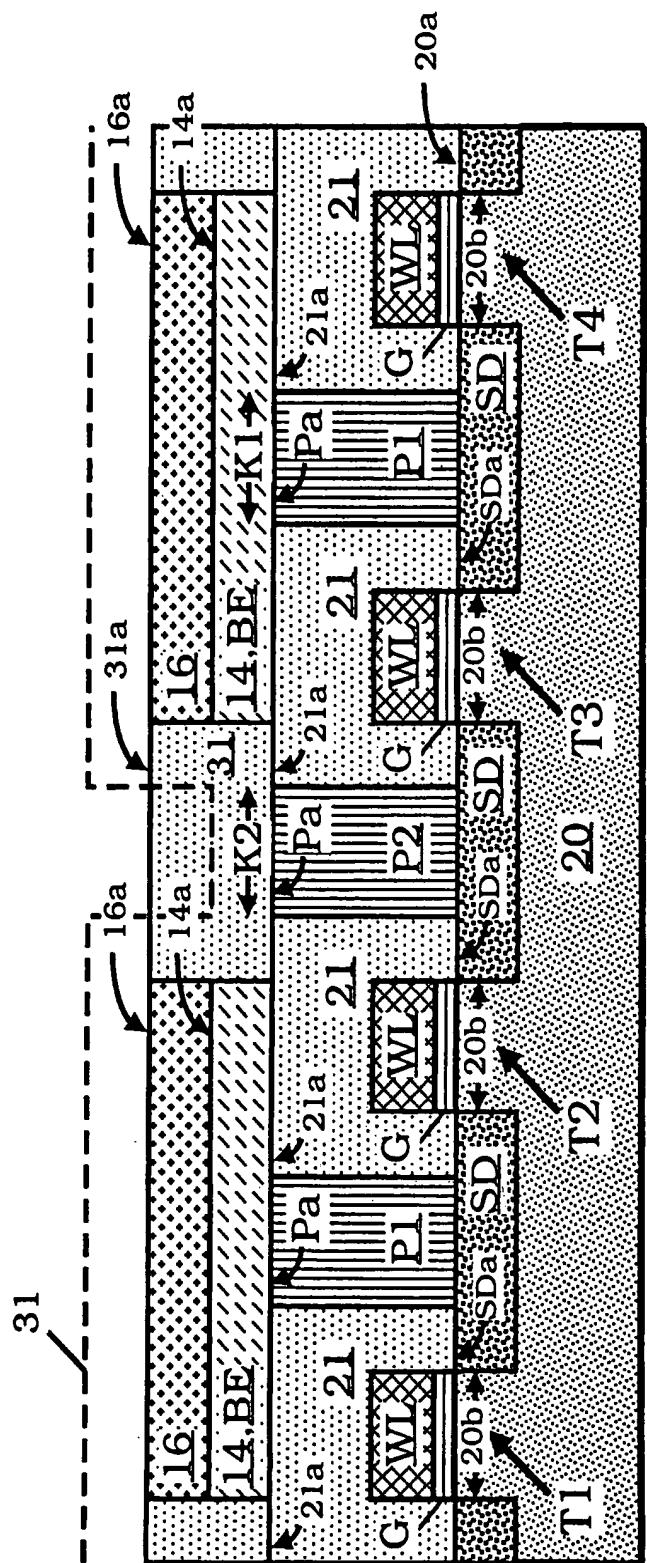


Fig. 4

1 →

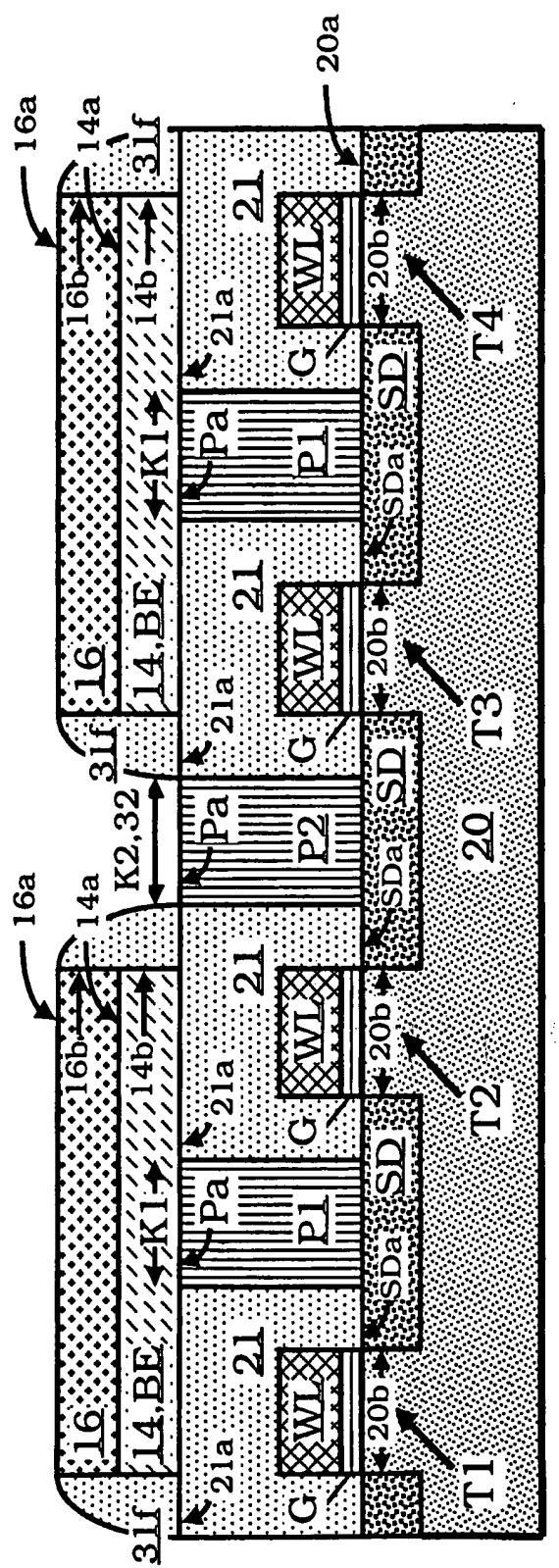


Fig. 5

1

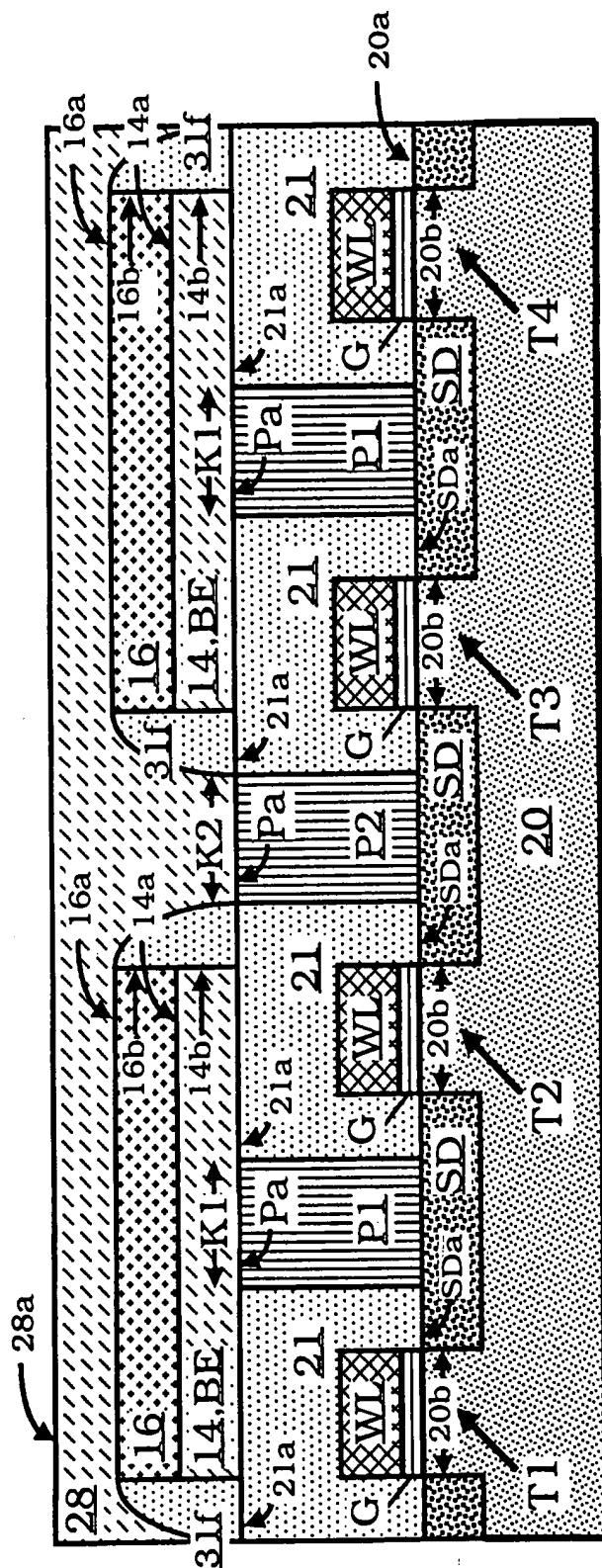


Fig. 6

1

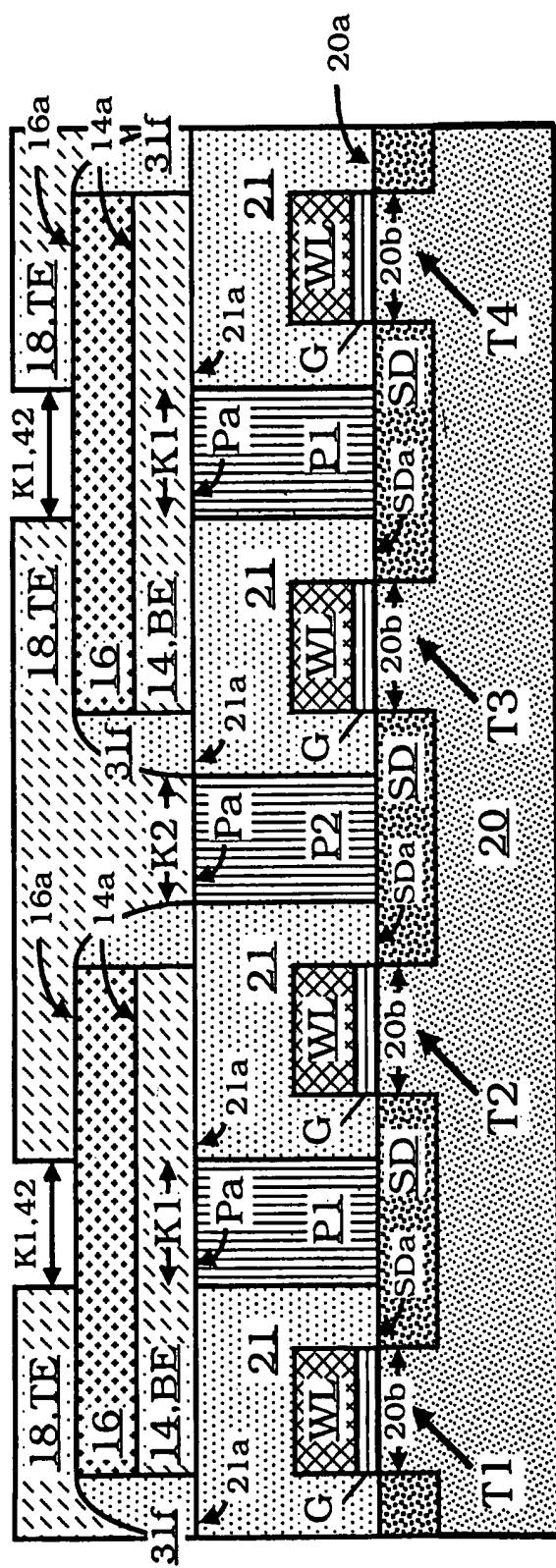
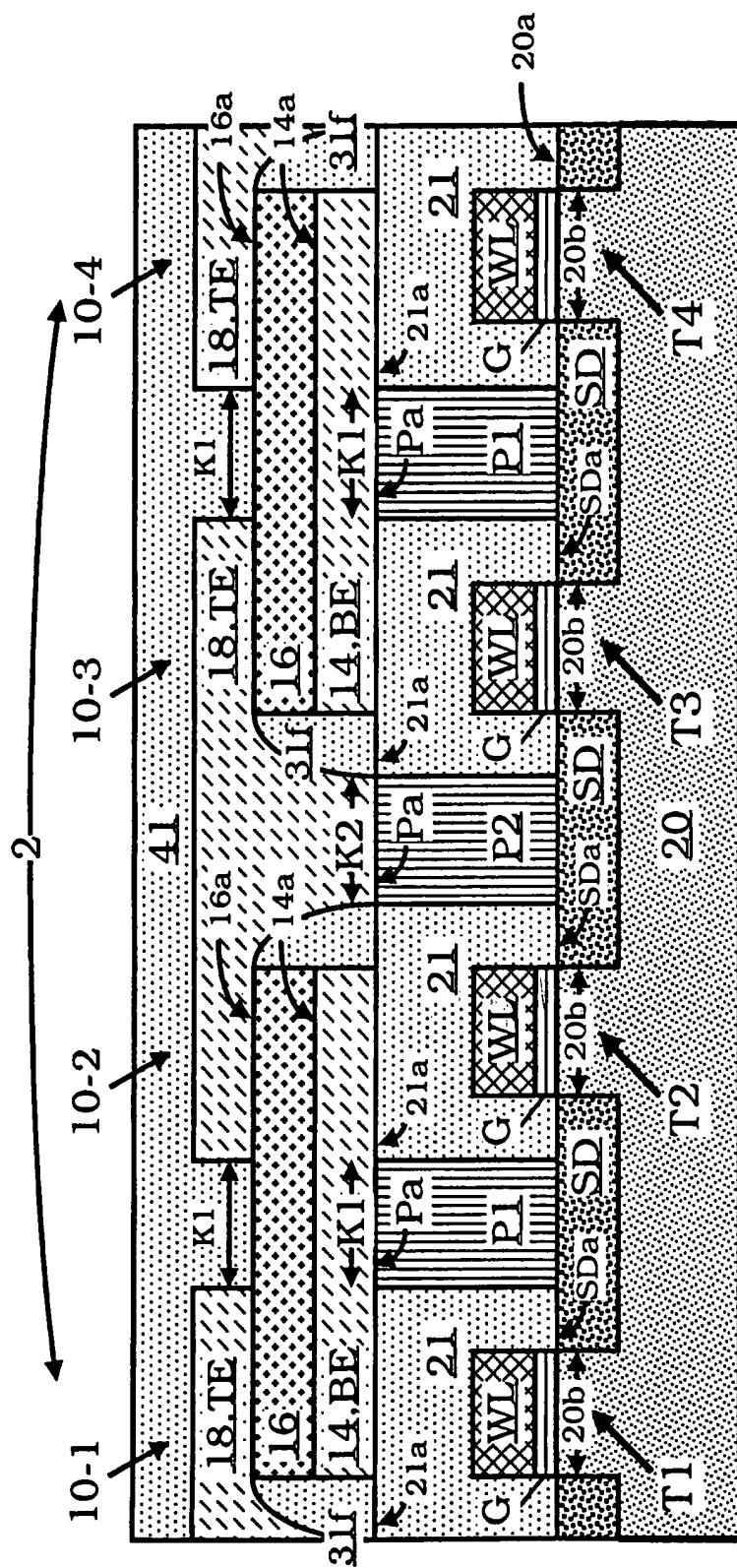


Fig. 7

1



8
Fig.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.